

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-082678

(43)Date of publication of application : 21.03.2000

(51)Int.Cl.

H01L 21/265

H01L 29/78

H01L 21/336

(21)Application number : 10-251607

(71)Applicant : NEC CORP

(22)Date of filing : 04.09.1998

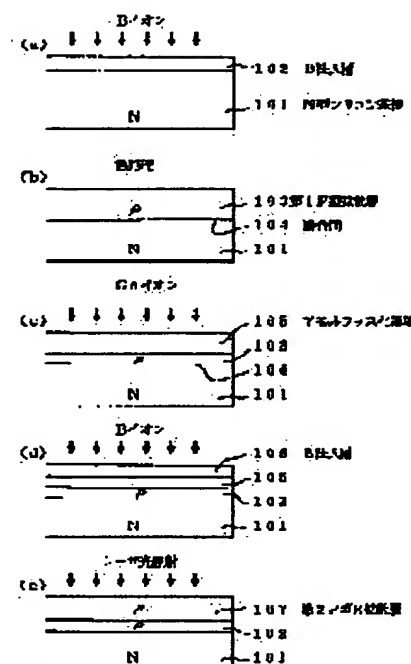
(72)Inventor : SHISHIGUCHI SEIICHI
MINEJI TERU
MATSUDA TOMOKO

(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a heavily doped shallow junction impurity diffusion layer where junction leak is suppressed and a fabrication method thereof.

SOLUTION: After a lightly doped impurity diffusion layer 103 having a shallow junction face 104 is formed by implanting impurity ions into a semiconductor substrate 101 at low concentration and then subjecting the substrate to quick annealing, an amorphous region 105 is formed at a region shallower than the junction depth of the lightly doped impurity diffusion layer 103 by implanting amorphous ions. Subsequently, the amorphous region 105 is implanted with impurity ions at high concentration and recrystallized through laser irradiation thus forming a heavily doped diffusion layer 107. The heavily doped diffusion layer 107 can be formed a diffusion layer having higher concentration than the degree of solid solution of silicon in a region shallower than the junction face of the lightly doped impurity diffusion layer 103. Furthermore, crystal defect being generated at the time of forming the heavily doped diffusion layer 107 does not exist on the junction face 104 between the lightly doped impurity diffusion layer 103 and the semiconductor substrate layer 101 and since junction leak of the heavily doped diffusion layer 107 is suppressed, a heavily doped shallow junction can be realized.



LEGAL STATUS

[Date of request for examination] 04.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3211784

[Date of registration] 19.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-82678

(P2000-82678A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) IntCl. ⁷	識別記号	F I	テームコード (参考)
H 0 1 L 21/265		H 0 1 L 21/265	F 5 F 0 4 0
29/78			6 0 2 C
21/336		29/78	3 0 1 P

審査請求 有 請求項の数14 O L (全 12 頁)

(21) 出願番号 特願平10-251607

(22) 出願日 平成10年9月4日 (1998.9.4)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 獅子口 清一

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 峰地 輝

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100081433

弁理士 鈴木 章夫

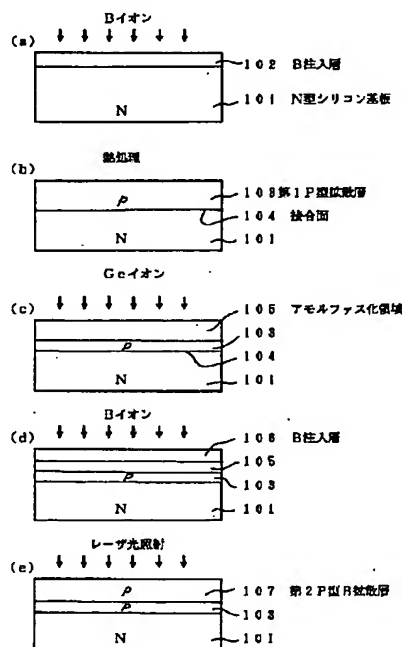
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 接合リークが少なく、かつ高濃度でかつ浅い接合の不純物拡散層を備える半導体装置とその製造方法を提供する。

【解決手段】 半導体基板101に低濃度の不純物をイオン注入し、かつ急速アニール処理して浅い位置に接合面104を有する低濃度拡散層103を形成した後、アモルファス化イオンを注入して低濃度拡散層103の接合深さよりも浅い領域にアモルファス化領域105を形成し、しかる上でアモルファス化領域105に対して高濃度の不純物をイオン注入し、かつレーザ光を照射して前記アモルファス化領域105を再結晶化して高濃度拡散層107を形成する。高濃度拡散層107は低濃度拡散層103の接合面よりも浅い領域においてシリコンの固溶度よりも高い高濃度の拡散層として形成でき、しかも高濃度拡散層107を形成する際に生じる結晶欠陥が低濃度拡散層103と半導体層101との接合面104には存在することではなく、高濃度拡散層107における接合リークを抑制し、かつ高濃度の浅い接合が実現できる。



【特許請求の範囲】

【請求項 1】 半導体基板の表面領域に形成され、前記半導体基板の固溶度以上の不純物濃度を有する高濃度拡散層と、前記高濃度拡散層と一体に形成され、かつ前記高濃度拡散層よりも半導体基板の深い位置において前記半導体基板に接合する低濃度拡散層とで構成される不純物拡散層を備えることを特徴とする半導体装置。

【請求項 2】 前記高濃度拡散層は、前記半導体基板がレーザ照射により再結晶化された領域である請求項 1 に記載の半導体装置。

【請求項 3】 半導体基板にゲート絶縁膜及びゲート電極が形成され、かつ前記ゲート電極下に形成されるチャネル領域の両端領域の前記半導体基板にソース・ドレイン領域が形成される MOS トランジスタを備える半導体装置であって、前記ソース・ドレインは、前記半導体基板の表面領域に形成され、前記半導体基板の固溶度以上の不純物濃度を有する高濃度拡散層と、前記高濃度拡散層と一体に形成され、かつ前記高濃度拡散層よりも半導体基板の深い位置において前記半導体基板に接合する低濃度拡散層とで構成されることを特徴とする半導体装置。

【請求項 4】 少なくとも前記ソース・ドレイン領域上には、前記高濃度拡散層の表面上に高融点金属シリサイド層が形成されている請求項 3 に記載の半導体装置。

【請求項 5】 少なくとも前記ソース・ドレイン領域上には、前記高濃度拡散層の表面上に前記高濃度拡散層と同一導電型の不純物を含む半導体膜が一体に形成されていることを特徴とする請求項 3 又は 4 に記載の半導体装置。

【請求項 6】 半導体基板に低濃度の不純物をイオン注入し、かつ急速アニール処理して前記半導体基板の浅い位置に接合を有する低濃度拡散層を形成する工程と、半導体結晶をアモルファス化する物質をイオン注入して前記低濃度拡散層の接合深さよりも浅い領域にアモルファス化領域を形成する工程と、前記アモルファス化領域に対して高濃度の不純物をイオン注入する工程と、前記アモルファス化領域にレーザ光を照射して前記アモルファス化領域を再結晶化して高濃度拡散層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板に高濃度の不純物をイオン注入し、かつ急速アニール処理して前記半導体基板の浅い位置に接合を有する拡散層を形成する工程と、少なくとも前記拡散層に対して半導体結晶をアモルファス化する物質をイオン注入して前記拡散層の接合深さよりも浅い領域にアモルファス化領域を形成する工程と、前記アモルファス化領域にレーザ光を照射して前記アモルファス化領域を再結晶化して高濃度拡散層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 8】 前記アモルファス化領域を形成した工程の後に、少なくとも前記アモルファス化領域の表面上に

導電膜を形成する工程を含み、前記レーザ光を照射する工程において前記アモルファス化領域の再結晶化と同時に前記アモルファス化領域の表面に存在する自然酸化膜を除去することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記アモルファス化領域を形成した工程の後に、少なくとも前記アモルファス化領域の表面上に不純物を含むアモルファス層を形成する工程を含み、前記レーザ光を照射する工程において前記アモルファス化領域と前記アモルファス層をそれぞれ結晶化することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 10】 一導電型の半導体基板上にゲート絶縁膜及びゲート電極を形成した後、前記ゲート電極の両側の前記半導体基板に反対導電型のソース・ドレイン領域を形成する工程を含み、前記ソース・ドレイン領域を構成する不純物拡散層の製造工程に前記請求項 6 又は 7 の製造方法を用いて MOS トランジスタを製造することを特徴とする半導体装置の製造方法。

【請求項 11】 一導電型の半導体基板上にゲート絶縁膜及びゲート電極を形成した後、前記ゲート電極の両側の前記半導体基板に反対導電型の高濃度の不純物を低エネルギーでイオン注入し、かつ急速アニール処理して前記半導体基板の浅い位置に接合を有する拡散層を形成する工程と、前記拡散層に対して前記半導体基板結晶をアモルファス化する物質をイオン注入して前記拡散層の接合深さよりも浅い領域にアモルファス化領域を形成する工程と、前記ゲート電極の側面に絶縁膜からなるサイドウォールスペーサを形成する工程と、少なくとも露呈されている前記アモルファス化領域の表面上に導電膜を形成する工程と、前記アモルファス化領域にレーザ光を照射して前記アモルファス化領域を再結晶化して高濃度拡散層を形成すると同時に前記アモルファス化領域の表面に存在する自然酸化膜を除去する工程とを含んで MOS トランジスタを製造することを特徴とする半導体装置の製造方法。

【請求項 12】 一導電型の半導体基板上にゲート絶縁膜及びゲート電極を形成した後、前記ゲート電極の両側の前記半導体基板に反対導電型の高濃度の不純物を低エネルギーでイオン注入し、かつ急速アニール処理して前記半導体基板の浅い位置に接合を有する拡散層を形成する工程と、前記拡散層に対して前記半導体基板結晶をアモルファス化する物質をイオン注入して前記拡散層の接合深さよりも浅い領域にアモルファス化領域を形成する工程と、前記ゲート電極の側面に絶縁膜からなるサイドウォールスペーサを形成する工程と、少なくとも露呈されている前記アモルファス化領域の表面上に反対導電型不純物を含むアモルファスの半導体膜を選択成長する工程と、前記アモルファス半導体膜及びアモルファス化領域にレーザ光を照射してそれぞれのアモルファスを再結晶化して高濃度拡散層を形成する工程とを含んで MOS ト

ランジスタを製造することを特徴とする半導体装置の製造方法。

【請求項 13】 前記ゲート電極を反対導電型不純物を含むアモルファス半導体で形成し、前記アモルファス半導体膜及びアモルファス化領域と同時にレーザ光を照射して再結晶化する請求項 12 に記載の半導体装置の製造方法。

【請求項 14】 前記ゲート電極を金属で形成し、かつ前記サイドウォールスペース及びアモルファス膜の形成を低温で形成する請求項 12 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体基板に不純物拡散層を有する半導体装置に関し、特に高濃度でかつ浅い接合の不純物拡散層を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】 MOS トランジスタでは、例えば、ソース・ドレイン拡散層を不純物のイオン注入によって形成しているが、半導体基板に不純物を高濃度にイオン注入し、かつ熱処理により活性化すると、不純物が半導体基板に深く拡散されてソース・ドレイン拡散層の接合深さが深くなり、近年における MOS トランジスタの微細化に伴って短チャネル効果が生じる。このため、高濃度でかつ浅い接合のソース・ドレイン拡散層が要求されており、これを実現するための一つの方法として、レーザ照射を用いる技術が提案されている。この手法は、図 9 (a) に示すように、例えば N 型シリコン基板 601 の表面にシリコンをアモルファス化する Ge 等のイオンを注入して前記シリコン基板 601 の浅い領域にアモルファス化領域 602 を形成する。次いで、図 9 (b) のように、前記アモルファス化領域 602 に P 型不純物、例えばボロン (B) をイオン注入し、ボロンイオン注入層 603 を形成する。しかる上で、図 9 (c) のように、アモルファスシリコンの融点が単結晶シリコンの融点よりも低い性質を利用し、アモルファス化領域のみが溶融する条件でレーザ光を照射し、アモルファス化領域 602 を再結晶化して P 型拡散層 604 を形成する。これにより、前記アモルファス化領域 602 に対応して浅い位置に接合面 605 を有しかつレーザによりシリコンを選択的に溶融することで、シリコンの平衡活性化率よりも高い活性化を可能にして、シリコンの固溶度よりも高濃度の P 型拡散層 604 を形成することが可能となる。

【0003】 しかしながら、この技術では、レーザ光を照射してアモルファス化領域 602 を再結晶化する際に、アモルファス化領域 602 とシリコン基板 601 との界面に結晶欠陥 606 が生じ、しかもこの結晶欠陥 606 はアモルファス化領域 602 に対応して形成された高濃度の P 型拡散層 604 とシリコン基板 601 との界

面、すなわち接合面 605 に沿って生じることになるため、この結晶欠陥 606 を通して前記不純物拡散層の接合リークが顕著になるという問題がある。この接合リークを改善するためには、不純物拡散層の接合面を再結晶化の界面とは異なる位置にすればよく、そのためには前記したレーザ光の照射の後に R T A (急速加熱アニール) 等のアニールを行って不純物をシリコン基板の深い側に拡散すればよい。しかしながら、このアニールによって固溶度以上であった不純物の活性化率が平衡状態レベルまで減少するため、レーザ照射によって得られた高い活性化率が大幅に低減し、不純物拡散層の抵抗が増大することになる。また、これに伴って不純物拡散層の接合深さが深くなり、初期の目的である短チャネル効果の抑制効果が低減されてしまう。

【0004】 このようなことから、従来の MOS トランジスタでは、短チャネル効果を抑制するために、L D D 等のようにチャネル領域の端部に低濃度の不純物拡散領域を形成する構成がとられている。例えば、図 10 に示すように、シリコン基板 701 上にゲート絶縁膜 702 及びゲート電極 703 を形成した後、前記シリコン基板 701 に不純物を低エネルギーでイオン注入し、かつ不純物の活性化のために R T A を行ない低濃度の拡散層 704 を形成する。しかる後、ゲート電極 703 の側面に絶縁膜のサイドウォールスペース 705 を設け、その上で不純物を高濃度かつ高エネルギーでイオン注入し、不純物の活性化のためのアニールを行って高濃度の拡散層 706 を形成し、ソース・ドレイン領域 707 を形成している。このため、ソース・ドレイン領域 707 としての高濃度の拡散層 706 とチャネル領域との間に低濃度でかつ浅い接合の拡散層 704、すなわちエクステンション領域が形成されるため、短チャネル効果を抑制する上で有効となる。

【0005】 しかしながら、このエクステンション領域 704 の形成に際しては、前記したようにイオン注入の低エネルギー化、R T A の低温化を行う必要があり、浅い接合は実現できるが、必然的に低濃度となり、高い電気抵抗となる。したがって、エクステンション領域 704 の層抵抗は非常に高いものとなり、MOS トランジスタの駆動能力が低下する。この電気抵抗は、前記した高濃度の不純物拡散層によって若干は低減されるが、この高濃度の不純物拡散層を形成する際には、従来と同様にイオン注入、比較的に高い温度でのアニールを行っているため、この高濃度の不純物拡散層では不純物をシリコンの固溶度以上に活性化することはできず、その不純物濃度の増大には限度がある。

【0006】

【発明が解決しようとする課題】 以上のように、従来では接合リークが少なく、しかも低抵抗化を実現するために高濃度でかつ浅い接合の不純物拡散層を形成することは困難である。このため、MOS トランジスタの微細化

に伴って要求される高濃度でかつ浅い接合のソース・ドレイン領域を形成することができず、短チャネル効果を有効に防止することができないという問題がある。

【0007】本発明の目的は、接合リークが少なく、かつ高濃度でかつ浅い接合の不純物拡散層を備える半導体装置とその製造方法を提供することにある。また、本発明の他の目的は、接合リークが少なく、かつ高濃度で浅い接合のソース・ドレイン領域を有し、短チャネル効果を抑制することが可能なMOSトランジスタを備える半導体装置とその製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明の半導体装置は、半導体基板の表面領域に形成され、前記半導体基板の固溶度以上の不純物濃度を有する高濃度拡散層と、前記高濃度拡散層と一体に形成され、かつ前記高濃度拡散層よりも半導体基板の深い位置において前記半導体基板に接合する低濃度拡散層とで構成される不純物拡散層を備える。特に、前記高濃度拡散層は、前記半導体基板がレーザ照射により再結晶化された領域として構成される。また、本発明のMOSトランジスタは、ゲート電極の両側の半導体基板に形成されるソース・ドレインは、前記半導体基板の表面領域に形成され、前記半導体基板の固溶度以上の不純物濃度を有する高濃度拡散層と、前記高濃度拡散層と一体に形成され、かつ前記高濃度拡散層よりも半導体基板の深い位置において前記半導体基板に接合する低濃度拡散層とで構成されることを特徴とする。この場合、少なくとも前記ソース・ドレイン領域上には、前記高濃度拡散層の表面上に前記高濃度拡散層と同一導電型の不純物を含む半導体膜が一体に形成されていることが好ましい。また、少なくとも前記ソース・ドレイン領域上には、前記高濃度拡散層の表面上に高融点金属シリサイド層が形成されていることが好ましい。

【0009】一方、本発明の製造方法のうち、第1の方法は、半導体基板に低濃度の不純物をイオン注入し、かつ急速アニール処理して前記半導体基板の浅い位置に接合を有する低濃度拡散層を形成する工程と、半導体結晶をアモルファス化する物質をイオン注入して前記低濃度拡散層の接合深さよりも浅い領域にアモルファス化領域を形成する工程と、前記アモルファス化領域に対して高濃度の不純物をイオン注入する工程と、前記アモルファス化領域にレーザ光を照射して前記アモルファス化領域を再結晶化して高濃度拡散層を形成する工程とを含むことを特徴とする。

【0010】また、本発明の第2の方法は、半導体基板に高濃度の不純物を低エネルギーでイオン注入し、かつ急速アニール処理して前記半導体基板の浅い位置に接合を有する拡散層を形成する工程と、少なくとも前記拡散層に対して半導体結晶をアモルファス化する物質をイオン注入して前記拡散層の接合深さよりも浅い領域にアモルファス化領域を形成する工程と、前記アモルファス化領

域にレーザ光を照射して前記アモルファス化領域を再結晶化して高濃度拡散層を形成する工程とを含むことを特徴とする。特に、この第2の方法では、前記アモルファス化領域を形成した工程の後に、少なくとも前記アモルファス化領域の表面上に導電膜を形成する工程を含み、前記レーザ光を照射する工程において前記アモルファス化領域の再結晶化と同時に前記アモルファス化領域の表面に存在する自然酸化膜を除去することが好ましい。さらに、前記アモルファス化領域を形成した工程の後に、少なくとも前記アモルファス化領域の表面上に不純物を含むアモルファス層を形成する工程を含み、前記レーザ光を照射する工程において前記アモルファス化領域と前記アモルファス層をそれぞれ再結晶化することが好ましい。

【0011】前記した本発明の方法を図面を参照して説明する。図は本発明の第1の方法説明する図であり、図1(a)のように、N型のシリコン基板101にボロン(B)を低加速、低ドーズ量でイオン注入を行ってボロンイオン注入層102を形成し、かつRTA等のアニール処理を施して図1(b)のように、低濃度でかつ浅い接合の第1P型拡散層103を形成する。このとき、第1P型拡散層103と前記シリコン基板101との界面に接合面104が形成される。次に、図1(c)のように、アモルファス化イオンとしてGe等の重元素を、前記第1P型拡散層103の接合深さよりも浅い領域がアモルファス化される条件でイオン注入する。これにより、前記第1P型拡散層103はその接合深さよりも浅い表面側の領域がアモルファス化領域105として形成される。しかる上で、図1(d)のように、前記第1P型拡散層103に導入した不純物と同一導電型の不純物であるボロンを高ドーズ量でイオン注入し、ボロンイオン注入層106を形成する。その後、図1(e)のように、前記アモルファス化領域105のみが熔融する条件でレーザ光を照射して浅い高濃度のボロン拡散層、すなわち高濃度の第2P型拡散層107を形成する。前記したように、レーザ光の照射により半導体装置を部分的に熔融した状態でボロン又は他の不純物を活性化すると、不純物が熔融領域以外に拡散することが抑制されるため、高濃度でしかもシリコンの平衡活性化率よりも高い活性化率で活性化される。これにより、形成された前記高濃度の第2P型拡散層107は、シリコンの固溶度よりも高い不純物濃度で浅く形成されることになる。

【0012】図2(a), (b), (c)はそれぞれ図1の(b), (d), (e)の各工程におけるボロンの濃度プロファイルを示す図である。これから、低濃度でかつ浅い接合の第1P型拡散層103を形成した後に、その接合よりも浅い領域がアモルファス化領域105として形成され、かつ前記アモルファス化領域105にボロンが導入されることで、シリコンの平衡活性化率よりも高い活性化率でボロンが活性化されて、シリコンの固

7
 溶度よりも高濃度の第2 P型拡散層107が形成されていることが判る。したがって、このように形成された高濃度の第2 P型拡散層107は、先に形成された低濃度の第1 P型拡散層103の接合面104よりも浅い領域においてシリコンの固溶度よりも高い高濃度の拡散層として形成される。したがって、低濃度の第1 P型拡散層103と高濃度の浅い第2 P型拡散層107を一体化して不純物拡散層を形成したときに、高濃度の第2 P型拡散層107と低濃度の第1 P型拡散層103との界面には、前記したアモルファス化及びレーザ光照射による再結晶化に伴う結晶欠陥が生じるが、この結晶欠陥は低濃度の第1 P型拡散層103の内部領域に存在しており、当該第1 P型拡散層103とシリコン基板101との接合面104には存在していないため、高濃度の第2 P型拡散層107における接合リークは抑制でき、接合リークが低減された高濃度の浅い接合が実現できる。

【0013】図3は本発明の第2の手法を示す図である。図3(a)のように、N型シリコン基板201に対して高濃度かつ低エネルギーでボロンをイオン注入し、かつRTAにより活性化を行うことにより、浅い接合の第1 P型拡散層202を形成し、前記シリコン基板201との間に接合面203が形成される。この第1 P型拡散層は図4(a)に示すように、シリコン基板201の表面側では高濃度であるが、接合面203の近傍ではその濃度は表面側よりも低濃度である。次いで、図3(b)のように、前記第1 P型拡散層202の表面に対してGe等のアモルファス化イオンを当該第1 P型拡散層202の接合深さよりも浅くイオン注入する。これにより、前記第1 P型拡散層202の表面側の領域のみがアモルファス化されてアモルファス化領域204が形成される。しかる上で、レーザアニールを行うと、アモルファス化領域204が熔融再結晶化し、ボロンの固溶度が高くなり、シリコンの平衡活性化率よりも高い活性化率で活性化される。これにより、図3(c)のように、シリコンの固溶度よりも高濃度でかつ浅い接合の第2 P型拡散層205が形成される。図4(b)はそのときの濃度プロファイルである。

【0014】したがって、この第2の方法による第2 P型拡散層205においても、相対的に低濃度の第1 P型拡散層202と、高濃度の浅い第2 P型拡散層205が一体となって形成される不純物拡散層は、高濃度の第2 P型拡散層205と低濃度の第1 P型拡散層202との界面には、前記したアモルファス化及びレーザ光照射による再結晶化に伴う結晶欠陥が生じるが、この結晶欠陥は低濃度の第1 P型拡散層202の内部領域に存在しており、当該第1 P型拡散層202とシリコン基板201との接合面203には存在していないため、高濃度の第2 P型拡散層205における接合リークは抑制でき、接合リークが低減された高濃度の浅い接合が実現できる。

【0015】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図5及び図6は前記本発明の第1の方法を採用した第1の実施形態におけるMOSトランジスタの製造方法を工程順に示す図である。まず、図5

(a)のように、N型シリコン基板301の表面を選択酸化してLOCOS法により素子分離絶縁膜302を形成した後、前記素子分離絶縁膜302で区画される素子領域の前記N型シリコン基板301の表面にシリコン酸化膜からなるゲート絶縁膜303と、ポリシリコンからなるゲート電極304を形成する。次いで、図5

(b)のように、前記素子分離絶縁膜302とゲート電極304を利用した自己整合法により前記シリコン基板301に対してボロンを $1 \times 10^{13} / \text{cm}^2$ 、1 KeVでイオン注入を行ない、イオン注入層305を形成する。しかる後、図5(c)のように、 1000°C 、10 secのRTA処理を施して低濃度でかつ浅い接合の第1 P型拡散層306を形成する。次に、図6(a)のように、アモルファス化イオンとしてGeを $2 \times 10^{14} / \text{cm}^2$ 、5 KeVの条件でイオン注入し、前記低濃度のP型拡散層306の接合深さよりも浅い表面側の領域をアモルファス化領域307として形成する。続いて、 $5 \times 10^{14} / \text{cm}^2$ 、0.5 KeVでP型不純物のボロンをイオン注入する。

【0016】その後、図6(b)のように、前記シリコン基板301に対してアモルファス化領域307のみが熔融する条件でレーザ光を照射して浅い高濃度のボロン拡散層、すなわち高濃度の第2 P型拡散層308を形成する。これにより、シリコンの平衡活性化率よりも高い活性化率でボロンイオンが活性化され、その結果シリコンの固溶度よりも高い濃度でかつ浅い第2 P型拡散層308として形成される。この結果、前記低濃度のP型拡散層306と一体化された高濃度でかつ浅いP型のソース・ドレイン領域309が形成される。さらに、全面に絶縁膜を被着し、かつこの絶縁膜を異方性エッチングして除去して前記ゲート電極304の側面にのみサイドウォールスペーサ310を形成する。次いで、図6(c)のように、全面にチタン等の高融点金属膜311を被着し、かつ加熱処理してチタンとシリコンを反応してチタンシリサイド膜312を形成する。このチタンシリサイド膜312によりゲート電極304、及びソース・ドレイン領域309に接続されるコンタクトの低抵抗化が実現する。その後、図示は省略するが、全面に層間絶縁膜を形成し、かつソース・ドレイン領域に対してコンタクトホールを開口し、当該コンタクトホールにアルミニウム等の導電材料を充填し、MOSトランジスタが完成される。

【0017】このMOSトランジスタでは、ソース・ドレイン領域309は、浅い接合の低濃度の第1 P型拡散層306と、これよりも更に浅く形成された高濃度の第

2 P型拡散層308とで構成されるため、高濃度の第2 P型拡散層308をアモルファス化しかつ再結晶化化した際に結晶欠陥が生じた場合でも、この結晶欠陥はソース・ドレイン領域309に内包される領域に生じることになり、ソース・ドレイン領域309とシリコン基板301との接合面に生じることはないため、接合リークを抑制した高濃度でかつ浅いソース・ドレイン領域が実現できる。したがって、半導体集積回路装置の高集積化に伴ってMOSトランジスタを微細化した場合でも短チャネル効果を防止し、かつ駆動電流を高めることができ、高性能のMOSトランジスタが製造できる。

【0018】図7は本発明の前記第2の方法によりMOSトランジスタを製造する第2の実施形態の工程断面図である。まず、図7(a)のように、N型シリコン基板401に素子分離絶縁膜402を形成して素子領域を区画するとともに、素子領域にゲート絶縁膜403及びゲート電極404を形成する。その上で、自己整合法により前記N型シリコン基板401のソース・ドレイン形成領域に高濃度かつ低エネルギーでボロンをイオン注入し、かつRTAにより活性化を行うことにより、浅い接合の第1 P型拡散層405が形成される。このとき、図4(a)に示したように、シリコン基板401の表面側は高濃度であるが、接合面の近傍ではその濃度は低い状態となる。次いで、図7(b)のように、前記第1 P型拡散層405の表面に対してGe等のアモルファス化イオンを前記P型拡散層405の接合深さよりも浅くイオン注入する。これにより、前記第1 P型拡散層405の表面側の領域のみがアモルファス化されたアモルファス化領域406が形成される。次いで、図7(c)のように、全面に絶縁膜を形成し、かつこれを異方性エッチングによりエッチバックし、前記ゲート電極404の側面にのみサイドウォールスペース407を形成する。続いて、前記ソース・ドレイン形成領域の前記シリコン基板401の表面及びゲート電極の表面に金属選択成長法により高融点金属膜408を選択的に堆積する。

【0019】しかる上で、図7(d)のように、レーザー光を照射してアニールを行うと、アモルファス化領域406が熔融かつ再結晶化してボロンの固溶度が高くなり、シリコンの平衡活性化率よりも高い活性化率で活性化される。これにより、浅くかつシリコンの固溶度よりも高濃度の第2 P型拡散層409が形成される。これより、浅い接合の第1 P型拡散層405と、これよりも更に浅く形成されかつ相対的に高濃度の第2 P型拡散層409とでソース・ドレイン領域410が構成されることになり、しかも高濃度の第2 P型拡散層409を形成した際のアモルファス化領域406の界面は相対的に低濃度の第1 P型拡散層405の内部に存在しているため、アモルファス化領域406の界面に結晶欠陥が生じて、この結晶欠陥が第1 P型拡散層405の接合面に沿って生じることではなく、接合リークを抑制した高濃度で

かつ浅いソース・ドレイン領域410が実現できる。

【0020】また、前記レーザーアニールの工程において、前記したようなボロンの固溶度の増大と共に、ソース・ドレイン領域410とゲート電極404の各シリコン露呈面に生成されている図外の自然酸化膜が除去されるため、ソース・ドレイン領域410及びゲート電極404と前記高融点金属膜408との密着性が改善され、高融点金属とシリコンとの反応によって生じる高融点金属シリサイド層411の成長が促進され、高融点金属膜408における接触抵抗を低減し、ソース・ドレイン領域410に対するのコンタクト抵抗の低減やゲート電極404の抵抗を低減することも可能となる。

【0021】その後、図示は省略するが、全面に層間絶縁膜を形成し、かつソース・ドレイン領域410に対してコンタクトホールを開口し、当該コンタクトホールにアルミニウム等の導電材料を充填し、MOSトランジスタが完成される。したがって、この第2の実施形態においても、高濃度でかつ浅い接合のソース・ドレイン領域が実現でき、半導体集積回路装置の高集積化に伴ってMOSトランジスタを微細化した場合でも短チャネル効果を防止し、かつ高濃度なソース・ドレイン領域による低抵抗化によって駆動電流を高めることができ、高性能のMOSトランジスタが製造できる。

【0022】図8は前記第2の実施形態のMOSトランジスタの製造方法の変形例を示す工程図である。前記各実施形態では、いずれもソース・ドレイン領域310、410の各P型拡散層を浅い接合で形成しているため、特に第2の実施形態での高融点金属膜408とシリコンとで形成される高融点金属シリサイド層411が高濃度の第2 P型拡散層409及び低濃度の第1 P型拡散層405よりも深く形成され、高融点金属408とシリコン基板401との間のリークが生じるおそれがある。そこで、この実施形態では、まず、図8(a)のように、N型シリコン基板501に前記第2の実施形態と同様に素子分離絶縁膜502、ゲート絶縁膜503、及びゲート電極504を形成する。このとき、ゲート電極504はボロンを含むアモルファスシリコンで形成する。しかる上で、図8(b)のように、前記ゲート電極504及び前記シリコン基板501のソース・ドレイン形成領域にそれぞれ高濃度かつ低加速エネルギーでP型不純物であるボロン、或いはフッ化ボロン(BF₃)をイオン注入し、かつRTAにより活性化を行うことにより、浅い接合の第1 P型拡散層505を形成する。この第1 P型拡散層505の濃度プロファイルは図4(a)の通りである。次いで、図8(c)のように、前記ゲート電極504の表面、及びP型拡散層505の表面に対してGe等のアモルファス化イオンを前記P型拡散層505の接合深さよりも浅くイオン注入する。これにより、前記ゲート電極504及びP型拡散層505の表面側の領域のみがアモルファス化されてアモルファス化領域506が形

成される。次いで、図8(d)のように、全面に絶縁膜を形成し、かつこれを異方性エッチングによりエッチバックし、前記ゲート電極504の側面にのみサイドウォールスペーサ507を形成する。

【0023】続いて、前記ゲート電極504及びアモルファス化領域506の各表面上にボロンを含むアモルファスシリコン膜508を選択成長する。さらに、前記アモルファスシリコン膜508の表面上に金属選択成長法により高融点金属膜509を選択的に堆積する。しかる上で、図8(e)のように、レーザアニールを行うと、前記アモルファスシリコン膜508、前記アモルファス化領域506、さらに前記ゲート電極504がそれぞれ溶融して再結晶化し、それぞれにおけるボロンの固溶度が高くなり、シリコンの平衡活性化率よりも高い活性化率で活性化される。これにより、特にシリコン基板501のソース・ドレイン形成領域には、浅くかつ高濃度の第2P型拡散層510が形成され、したがって前記第2の実施形態と同様に、浅い接合の第1P型拡散層505と、これよりも更に浅く形成されかつ相対的に高濃度の第2P型拡散層510とで構成されるソース・ドレイン領域511が形成されることになる。この場合においても、高濃度の第2P型拡散層510を形成した際のアモルファス化領域506の界面は相対的に低濃度の第1P型拡散層505の内部に存在しているため、アモルファス化領域506の界面に結晶欠陥が生じても、この結晶欠陥が第1P型拡散層505の接合面に沿って生じることではなく、接合リークを抑制した高濃度でかつ浅いソース・ドレイン領域511が実現できる。

【0024】また、このときボロンの固溶度の増大と共に、前記アモルファス化領域506の表面、前記ゲート電極504の表面、前記アモルファスシリコン膜508の表面にそれぞれ生成されている図外の自然酸化膜が除去されるため、ソース・ドレイン領域511及びゲート電極504と前記高融点金属膜509との密着性が改善され、高融点金属シリサイド層512の成長が促進され、両者間の接触抵抗を低減し、ソース・ドレイン領域511のコンタクト抵抗の低減やゲート電極504の抵抗を低減することも可能となる。また、その一方で、ソース・ドレイン領域511上には、第2P型拡散層510の表面側にアモルファスシリコン膜509を再結晶化して形成したP型拡散層513が存在し、このP型拡散層513が前記高濃度のP型拡散層510と一体化してソース・ドレイン領域511の高濃度拡散領域を構成しているため、高融点金属シリサイド層512が浅い接合のP型拡散層510、505を突き抜けるようなこともなく、高融点金属シリサイド層512によるシリコン基板へのリークが防止できる。

【0025】その後、図示は省略するが、全面に層間絶縁膜を形成し、かつソース・ドレイン領域511上の高融点金属膜509に対してコンタクトホールを開口し、

当該コンタクトホールにアルミニウム等の導電材料を充填し、ソース・ドレイン領域511の各コンタクト電極が形成され、MOSトランジスタが完成される。

【0026】なお、この第2の実施形態の変形例では、前記した工程のうち、サイドウォールスペーサ507の形成を低温で行い、また、ボロンを含むアモルファスシリコン膜508の堆積を低温で行うことにより、高温の熱処理に弱い金属材料をゲート電極504に用いることが可能となり、ゲート電極のさらなる低抵抗化が実現できる。

【0027】ここで、前記実施形態の適用例として本発明をMOSトランジスタのソース・ドレイン領域を構成する不純物拡散層に適用した例を示しているが、MOSトランジスタに限られるものではなく、浅くかつ高濃度な不純物拡散層で、低抵抗化と接合リークの低減が要求される不純物拡散層を有する半導体装置及びその製造方法に適用可能である。

【0028】

【発明の効果】以上説明したように本発明の第1の方法によれば、半導体基板に低濃度の不純物をイオン注入し、かつ急速アニール処理して浅い接合を有する低濃度拡散層を形成した後、アモルファス化イオンを注入して低濃度拡散層の接合深さよりも浅い領域にアモルファス化領域を形成し、しかる上でアモルファス化領域に対して高濃度の不純物をイオン注入し、かつレーザ光を照射して前記アモルファス化領域を再結晶化して高濃度拡散層を形成しているため、高濃度拡散層は低濃度拡散層の接合面よりも浅い領域においてシリコンの固溶度よりも高い高濃度の拡散層として形成でき、しかも高濃度拡散層を形成する際に生じる結晶欠陥が低濃度拡散層と半導体層との接合面には存在することなく、高濃度拡散層における接合リークを抑制し、かつ高濃度の浅い接合が実現できる。

【0029】また、本発明の第2の方法によれば、半導体基板に高濃度の不純物を低エネルギーでイオン注入し、かつ急速アニール処理して前記半導体基板の浅い位置に接合を有する拡散層を形成する工程と、少なくとも前記拡散層に対して半導体結晶をアモルファス化する物質をイオン注入して前記拡散層の接合深さよりも浅い領域にアモルファス化領域を形成する工程と、前記アモルファス化領域にレーザ光を照射して前記アモルファス化領域を再結晶化して高濃度拡散層を形成しているため、第1の手法と同様に、高濃度拡散層は低濃度拡散層の接合面よりも浅い領域においてシリコンの固溶度よりも高い高濃度の拡散層として形成でき、しかも高濃度拡散層を形成する際に生じる結晶欠陥が低濃度拡散層半導体層との接合面には存在することなく、高濃度拡散層における接合リークを抑制し、かつ高濃度の浅い接合が実現できる。

【図面の簡単な説明】

【図1】本発明の第1の手法を説明するための工程断面図である。

【図2】図1の各工程における不純物濃度プロファイル図である。

【図3】本発明の第2の手法を説明するための工程断面図である。

【図4】図3の各工程における不純物濃度プロファイル図である。

【図5】本発明の第1の実施形態の工程断面図のその1である。

【図6】本発明の第1の実施形態の工程断面図のその2である。

【図7】本発明の第2の実施形態の工程断面図である。

【図8】本発明の第2の実施形態の変形例の工程断面図である。

【図9】従来の高濃度で浅い接合の不純物拡散層を製造する一例の工程断面図である。

【図10】従来のMOSトランジスタの製造方法を説明するための断面図である。

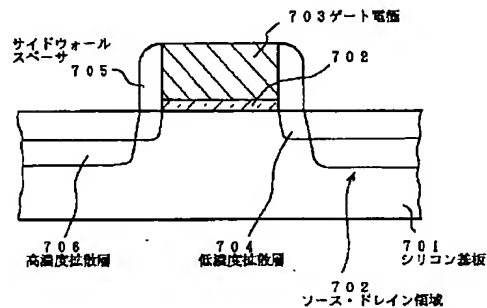
【符号の説明】

101 N型シリコン基板
102 ボロンイオン注入層
103 第1P型拡散層
104 接合面
105 アモルファス化領域
106 ボロンイオン注入層
107 第2P型拡散層
201 N型シリコン基板
202 第1P型拡散層
203 接合面
204 アモルファス化領域
205 第2P型拡散層
301 N型シリコン基板
302 素子分離絶縁膜
303 ゲート絶縁膜

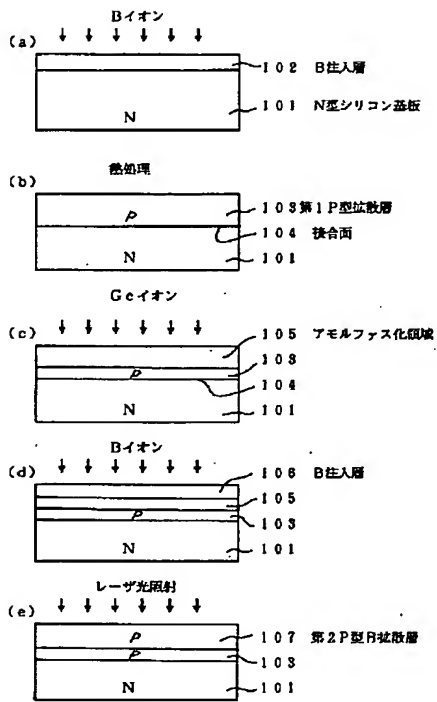
* 304 ゲート電極
305 ボロンイオン注入層
306 第1P型拡散層
307 アモルファス化領域
308 第2P型拡散層
309 ソース・ドレイン領域
310 サイドウォールスペーサ
311 高融点金属膜
312 シリサイド膜
10 401 N型シリコン基板
402 素子分離絶縁膜
403 ゲート絶縁膜
404 ゲート電極
405 第1P型拡散層
406 アモルファス化領域
407 サイドウォールスペーサ
408 高融点金属膜
309 ソース・ドレイン領域
409 第2P型拡散層
20 410 ソース・ドレイン領域
411 シリサイド層
501 N型シリコン基板
502 素子分離絶縁膜
503 ゲート絶縁膜
504 ゲート電極
505 第1P型拡散層
506 アモルファス化領域
507 サイドウォールスペーサ
508 アモルファスシリコン膜
30 509 高融点金属膜
510 第2P型拡散層
511 ソース・ドレイン領域
512 シリサイド層
513 P型拡散層

*

【図10】

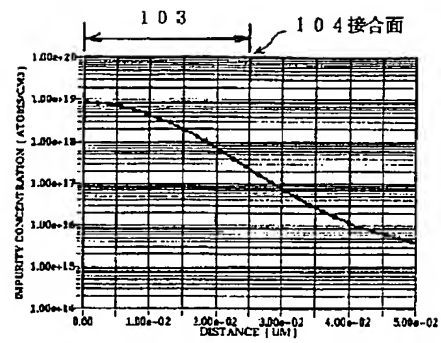


【図1】

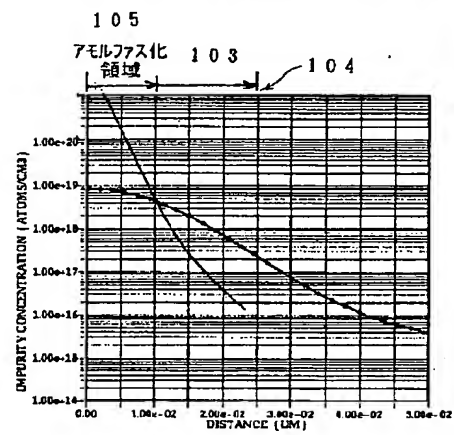


【図2】

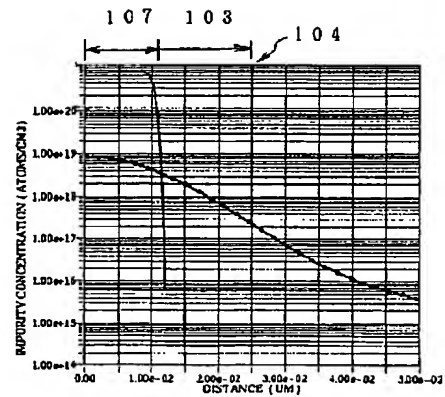
(a)



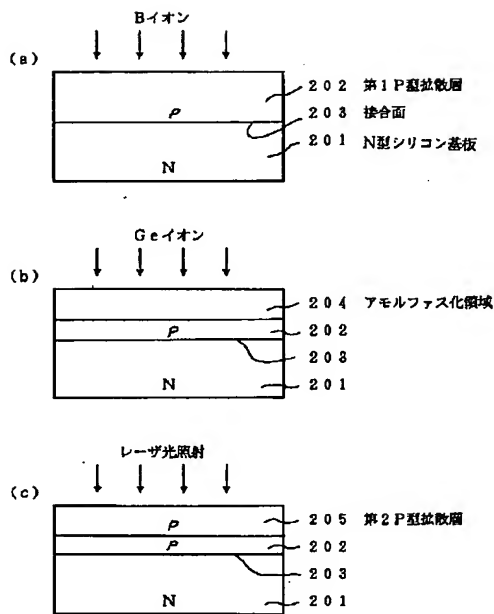
(b)



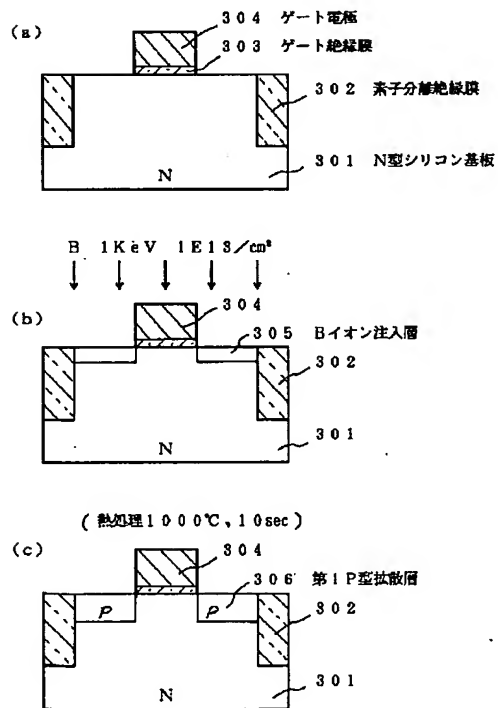
(c)



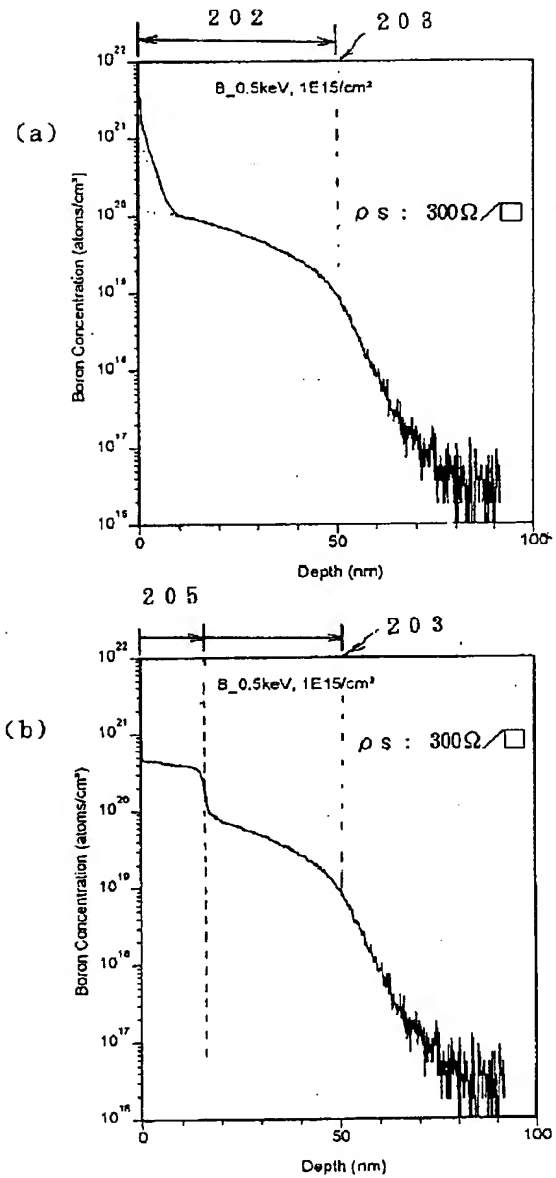
【図3】



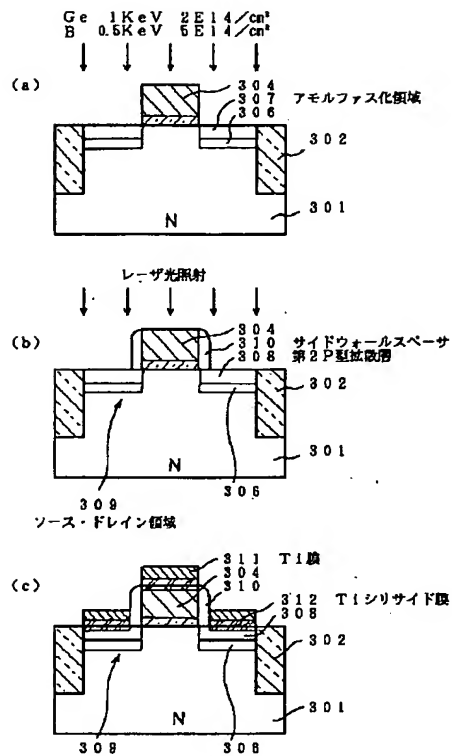
【図5】



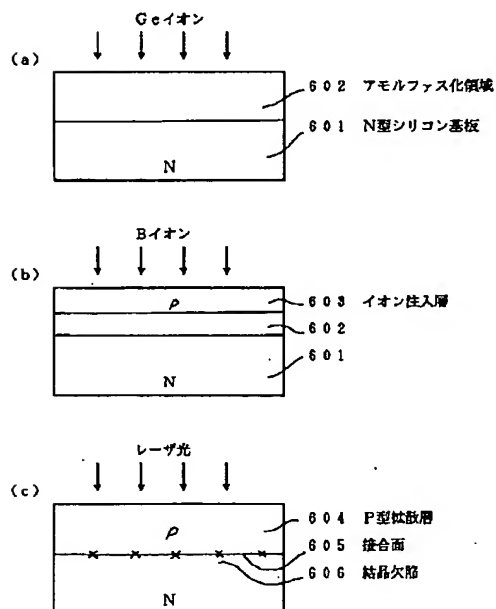
【図4】



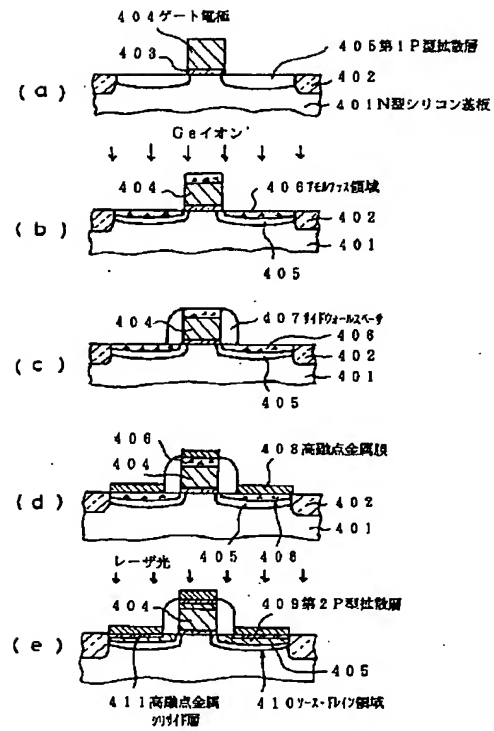
【図6】



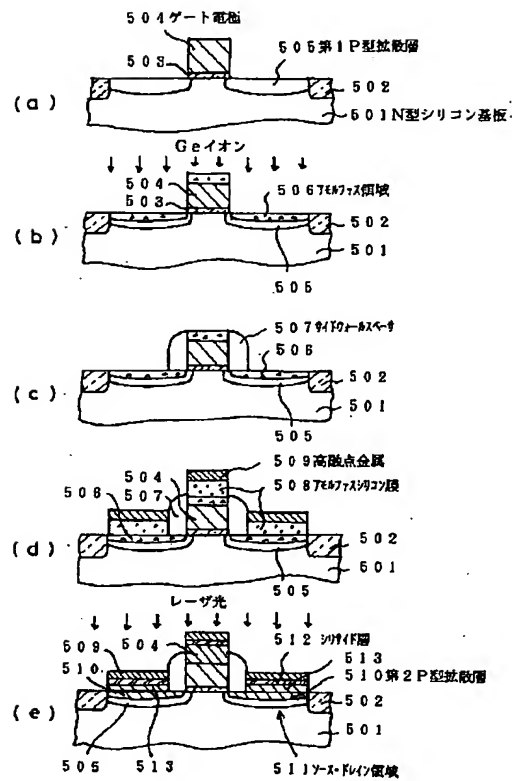
【図9】



【図7】



【図8】



フロントページの続き

(72)発明者 松田 友子
東京都港区芝五丁目7番1号 日本電気株
式会社内

Fターム(参考) 5F040 DC01 EC07 EF13 EK01 FA03
FC14 FC15 FC18 FC19